

L143 ANSWER 13 OF 26 CAPLUS COPYRIGHT ACS on STN

AN 2001:847814 CAPLUS
 DN 135:379674
 TI Semiconductor device.
 IN Maeda, Yukihiro; Kobayashi, Naoki
 PA Nippon Telegraph and Telephone Corp., Japan
 SO Jpn. Kokai Tokkyo Koho, 7 pp.
 CODEN: JKXXAF
 DT Patent
 LA Japanese
 FAN.CNT 1

	PATENT NO.	KIND	DATE	APPLICATION NO.	DATE
PI	JP 2001326232	A2	20011122	JP 2000-139760	20000512
PRAI	JP 2000-139760		20000512		
AB	A semiconductor device having high-temp. and high-withstand-voltage operation properties comprises a semiconductor substrate having a nitride semiconductor buffer layer and an AlxGal-xN channel layer ($0 < x < 1$) on the buffer layer. Specifically, the substrate may comprise a SiC, sapphire, or GaN substrate. Addnl., the device may have a GaN layer between the buffer and channel layers. The device is useful as a FET.				
IT	25617-97-4, Gallium nitride (GaN) 106097-44-3, Aluminum gallium nitride ((Al,Ga)N) 120994-23-2, Gallium indium nitride				
	RL: DEV (Device component use); USES (Uses) (AlxGal-xN channel layer of semiconductor device)				
RN	25617-97-4 CAPLUS				
CN	Gallium nitride (GaN) (6CI, 8CI, 9CI) (CA INDEX NAME)				



RN 106097-44-3 CAPLUS
 CN Aluminum gallium nitride ((Al,Ga)N) (9CI) (CA INDEX NAME)

Component	Ratio	Component Registry Number
N	1	17778-88-0
Ga	0 - 1	7440-55-3
Al	0 - 1	7429-90-5

RN 120994-23-2 CAPLUS
 CN Gallium indium nitride ((Ga,In)N) (9CI) (CA INDEX NAME)

Component	Ratio	Component Registry Number
N	1	17778-88-0
In	0 - 1	7440-74-6
Ga	0 - 1	7440-55-3

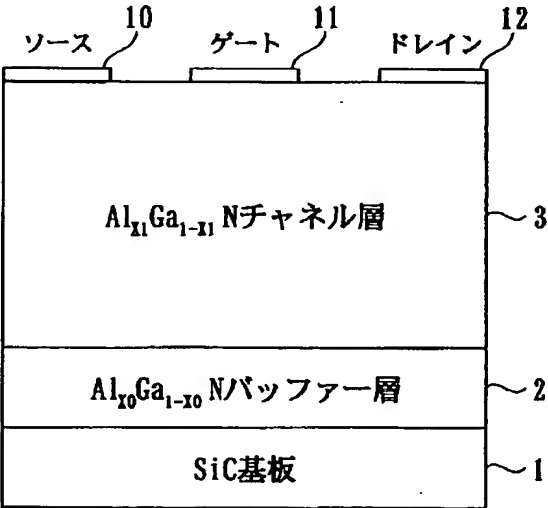
(51)Int.Cl.⁷識別記号F Iテマコード(参考)
H 0 1 L 21/338H 0 1 L 29/80B 5 F 1 0 2
29/812

審査請求 未請求 請求項の数7 O L（全 7 頁）

(21)出願番号	特願2000-139760(P2000-139760)	(71)出願人	000004226 日本電信電話株式会社 東京都千代田区大手町二丁目3番1号
(22)出願日	平成12年5月12日(2000.5.12)	(72)発明者	前田 就彦 東京都千代田区大手町二丁目3番1号 日 本電信電話株式会社内
		(72)発明者	小林 直樹 東京都千代田区大手町二丁目3番1号 日 本電信電話株式会社内
		(74)代理人	100064621 弁理士 山川 政樹
		Fターム(参考)	5F102 FA00 FA04 GB01 GC01 GD01 GJ02 GJ10 GK04 GK08 GL04 GM04 GQ01

(54)【発明の名称】 半導体装置

(57)【要約】
【課題】 従来のGaN系デバイスよりも高温動作特性・高耐圧動作特性を向上させる。
【解決手段】 半導体基板と、この半導体基板上に形成された窒化物半導体のバッファ層と、このバッファ層よりも上層に形成された窒化物半導体のチャネル層とを備える。前記チャネル層は、 $Al_xGa_{1-x}N$ 層（ $0<X<1$ ）によって形成されている。



$0<X_0\leq 1, 0<X_1<1$

【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板上に形成された窒化物半導体のバッファ層と、このバッファ層よりも上層に形成された窒化物半導体のチャネル層とを備え、

前記チャネル層は、 $Al_xGa_{1-x}N$ ($0 < x < 1$) によって形成されていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記チャネル層上に形成されたソース電極、ゲート電極およびドレイン電極を備え、電界効果トランジスタを構成していることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、前記チャネル層上に形成された窒化物半導体の障壁層と、この障壁層上に形成されたソース電極、ゲート電極およびドレイン電極とを備え、ヘテロ構造電界効果トランジスタを構成していることを特徴とする半導体装置。

【請求項4】 請求項2または請求項3に記載の半導体装置において、前記バッファ層と前記チャネル層との間に形成されたGaN層を備えたことを特徴とする半導体装置。

【請求項5】 半導体基板と、この半導体基板上に形成された窒化物半導体のバッファ層と、このバッファ層よりも上層に形成された窒化物半導体のチャネル層と、このチャネル層直下に形成された $Al_{x1}Ga_{1-x1}N$ ($0 < x1 < 1$) の第1の障壁層と、前記チャネル層直上に形成された $Al_{x2}Ga_{1-x2}N$ ($0 < x2 < 1$) の第2の障壁層と、この第2の障壁層上に形成されたソース電極、ゲート電極およびドレイン電極とを備え、前記第1の障壁層のAl組成 $x1$ には、この第1の障壁層直下の層構造とAl組成不連続を起こさないように、深さ方向に減少する傾斜が施されていることを特徴とする半導体装置。

【請求項6】 請求項5において、前記チャネル層は、 GaN 、 $In_yGa_{1-y}N$ ($0 < y \leq 1$)、または $Al_zGa_{1-z}N$ ($0 < z \leq 1$, $z < x1$, $z < x2$) の何れかで形成されていることを特徴とする半導体装置。

【請求項7】 請求項1または請求項5において、前記半導体基板は、SiC基板、サファイア基板またはGaN基板であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に窒化物半導体を用いた半導体装置に関するものである。

【0002】

【従来の技術】 従来、窒化物半導体を用いた電界効果トランジスタ(Field Effect Transistor:FET)またはヘテロ構造電界効果トランジスタ(Heterostructure Fiel

d Effect Transistor:HFET)においては、電子が走行するチャネル層に GaN や $In_xGa_{1-x}N$ ($0 < x < 1$) が用いられている(特願平10-56529号、特願平10-69176号参照)。これらの材料を用いたデバイス(GaN 系デバイス)は、従来のGaAs系のFETまたはHFETよりも高温・高耐圧動作が可能であることが上記特許出願の明細書に開示されている。

【0003】

【発明が解決しようとする課題】 しかしながら、さらに高温・高耐圧動作を向上させるためには、半導体材料の結晶結合力が大きくなるようにチャネル材料を改良する必要がある。また、窒化物半導体を用いたヘテロ構造電界効果トランジスタ(HFET)においては、ヘテロ界面に特有の正または負の分極電荷が発生する。HFETがチャネル電子の形成されるヘテロ界面以外にもヘテロ界面を有し、このヘテロ界面が正の分極電荷を誘起する場合には、このヘテロ界面に電子が引きつけられ、チャネル電子層以外にも電子層が形成される。このような非チャネル電子の存在は、HFETの低周波動作に影響を与えないものの、HFETの高周波特性を劣化させる。電子が走行するチャネル層直下の障壁として $Al_xGa_{1-x}N$ ($0 < x < 1$) が設けられている場合に上述のような状況が起こり得、HFETを高周波デバイスとして用いる場合には、非チャネル電子を消滅させることにより、高周波特性を向上させる必要がある。本発明は、このような課題を解決するためのものであり、従来のGaN系デバイスよりも高温動作特性・高耐圧動作特性を向上させた半導体装置(FETおよびHFET)を提供することを目的とする。また、従来よりも高周波特性の優れた半導体装置(HFET)を提供することをその他の目的とする。

【0004】

【課題を解決するための手段】 このような目的を達成するために、本発明に係る半導体装置は、半導体基板と、この半導体基板上に形成された窒化物半導体のバッファ層と、このバッファ層よりも上層に形成された窒化物半導体のチャネル層とを備え、前記チャネル層は、 $Al_xGa_{1-x}N$ ($0 < x < 1$) によって形成されている。このような構成により本発明は、従来のGaNよりもバンドギャップの広い $Al_xGa_{1-x}N$ を用いることにより、チャネル層における結晶結合力が大きくなり、高温動作特性・高耐圧動作特性を特に向上させることができる。これは窒化物半導体を用いたFETまたはHFETにおける高温・高耐圧動作は、半導体材料の大きな結合力によりもたらされ、一般的に結晶結合力とバンドギャップとの間には正の相関があり、バンドギャップの大きな半導体ほど大きな結晶結合力を持つことから、高温動作特性・高耐圧動作特性を向上させることができることによる。

【0005】 また、本発明はその他の態様として以下に

示す構成を含むものである。すなわち、前記チャネル層上に形成されたソース電極、ゲート電極およびドレイン電極を備え、電界効果トランジスタを構成している。このように構成することにより本発明は、従来よりも高温動作特性・高耐圧動作特性を特に向上させた電界効果トランジスタを実現できる。また、前記チャネル層上に形成された窒化物半導体の障壁層と、この障壁層上に形成されたソース電極、ゲート電極およびドレイン電極とを備え、ヘテロ構造電界効果トランジスタを構成している。このように構成することにより本発明は、従来よりも高温動作特性・高耐圧動作特性を特に向上させたヘテロ構造電界効果トランジスタを実現できる。また、前記バッファ層の上に形成されたGaN層を備える。このように構成することにより本発明は、このGaN層上に形成される層（チャネル層等）の結晶性を向上させることができる。

【0006】さらに、半導体基板と、この半導体基板上に形成された窒化物半導体のバッファ層と、このバッファ層よりも上層に形成された窒化物半導体のチャネル層と、このチャネル層直下に形成された $Al_{x1}Ga_{1-x1}N$ (0<X1<1)の第1の障壁層と、前記チャネル層直上に形成された $Al_{x2}Ga_{1-x2}N$ (0<X2<1)の第2の障壁層と、この第2の障壁層上に形成されたソース電極、ゲート電極およびドレイン電極とを備え、前記第1の障壁層のAl組成X1には、この第1の障壁層直下の層構造とAl組成不連続を起こさないように、深さ方*

$$Eg(Al_xGa_{1-x}N) = XEg(AlN) + (1-X)Eg(GaN) \\ = 3.4 + 2.8X \quad [eV] \quad (0 < X < 1)$$

【0010】となる。したがって、AlGa_NはGaNに比べて大きなバンドギャップを持ち、結晶結合力もより大きく、GaNを上回る高温・高耐圧動作が可能となる。

【0011】なお、以上の議論はGaAs系においても同様であるが、AlGaAsはGaAsに比べて電子移動度が著しく低下するため、高周波デバイスのチャネル材料として適当でない。それに対して、GaN系においてAlGa_Nの電子移動度は、GaNの電子移動度に比べて低下するものの許容範囲内（5～6割程度以上の移動度）の高い値である。ちなみに、本願発明者らによって、GaNおよび $Al_{0.1}Ga_{0.9}N$ の室温電子移動度として、それぞれ350および170cm²/Vsが観測されている。そのため、AlGa_Nをチャネル材料として用いることにより、GaAs系を用いた場合よりも高温・高耐圧動作が可能なデバイスを実現することができる。また、GaN系においてはGaAs系よりも強い結晶結合力が得られ、バンドギャップが大きくなり、耐振動特性および耐放射特性も向上する。

【0012】次に、本発明の具体的な適用例について説明する。図1は、本発明を適用したFETを示す断面図である。同図に示すように、SiC基板1上にAl_{x0}G_N※50

*向に減少する傾斜が施されている。このように構成することにより本発明は、チャネル層の直下に設けられた $Al_xGa_{1-x}N$ (0<X<1)に副次的電子層が発生することを防止することができ、HFETの高周波特性を特に向上できる。なお、前記チャネル層は、GaN、 $In_yGa_{1-y}N$ (0<Y≤1)、または $Al_zGa_{1-z}N$ (0<Z≤1, Z<X1, Z<X2)の何れかで形成されていてもよい。また、前記半導体基板は、SiC基板、サファイア基板またはGaN基板であってもよい。

【0007】

【発明の実施の形態】次に、本発明の一つの実施の形態（層構造）について説明する。本発明においては、従来のGaN系材料よりもバンドギャップの大きな材料でチャネル層を形成することにより、高温動作特性・高耐圧動作特性を向上させる。例えばこのような条件を満たす材料として、 $Al_xGa_{1-x}N$ (0<X<1)を用いるとよい。

【0008】ここで、 $Al_xGa_{1-x}N$ (0<X<1)のバンドギャップについて説明する。GaNのバンドギャップ $Eg(GaN)$ の大きさが3.4、AlGa_Nのバンドギャップ $Eg(AlN)$ の大きさが6.2であることから（参考： $Eg(InN) = 2.2eV < Eg(GaN)$ ）、 $Al_xGa_{1-x}N$ (0<X<1)のバンドギャップ $Eg(Al_xGa_{1-x}N)$ は、これら $Eg(GaN)$ および $Eg(AlN)$ を用いた次式で与えられ、

【0009】

$$Eg(Al_xGa_{1-x}N) = XEg(AlN) + (1-X)Eg(GaN) \\ = 3.4 + 2.8X \quad [eV] \quad (0 < X < 1)$$

※ $a_{1-x0}N$ バッファ層2が形成され、その上に $Al_{x1}Ga_{1-x1}N$ チャネル層3が形成され、その上にソース電極10、ゲート電極11およびドレイン電極12が形成され、これらによりFETが構成されている。なお、0<X0≤1, 0<X1<1である。

【0013】図2は、本発明を適用したHFETを示す断面図である。同図に示すように、SiC基板1上に $Al_{x0}Ga_{1-x0}N$ バッファ層2が形成され、その上に $Al_{x1}Ga_{1-x1}N$ チャネル層3が形成され、その上に $Al_{x2}Ga_{1-x2}N$ 障壁層4が形成され、その上にソース電極10、ゲート電極11およびドレイン電極12が形成され、これらによりHFETが構成されている。なお、0<X0≤1, 0<X1<X2<1である。本構造においては、デバイス動作に寄与する電子は $Al_{x2}Ga_{1-x2}N$ 障壁層4と $Al_{x1}Ga_{1-x1}N$ チャネル層3との界面近傍のチャネル領域に集中的に存在する。

【0014】また、図1、2に示した構造に中間層を付加することにより、チャネル層等の結晶性を向上させることができる。図3は、図1の構造に中間層としてGaN層を設けた例を示す。同図に示すように、SiC基板1上に $Al_{x0}Ga_{1-x0}N$ バッファ層2が形成され、その上に中間層としてGaN層5が形成され、その上にAl

$x_1\text{Ga}_{1-x_1}\text{N}$ チャネル層3が形成され、その上にソース電極10、ゲート電極11およびドレイン電極12が形成され、これらによりFETが構成されている。なお、 $0 < X_0 \leq 1$, $0 < X_1 < 1$ である。

【0015】図4は、図2の構造に中間層としてGa_{0.5}N層を設けた例を示す。同図に示すように、SiC基板1上に $\text{Al}_{x_0}\text{Ga}_{1-x_0}\text{N}$ バッファ層2が形成され、その上に中間層としてGa_{0.5}N層5が形成され、その上に $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ チャネル層3が形成され、その上に $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$ 障壁層4が形成され、その上にソース電極10、ゲート電極11およびドレイン電極12が形成され、これらによりFETが構成されている。なお、 $0 < X_0 \leq 1$, $0 < X_1 < X_2 < 1$ である。

【0016】ところで、上述したように図2および図4に示す窒化物半導体を用いたヘテロ構造電界効果トランジスタ(HFET)においては、ヘテロ界面に特有の正または負の分極電荷が発生する。HFETがチャネル電子の形成されるヘテロ界面以外にもヘテロ界面を有し、このヘテロ界面が正の分極電荷を誘起する場合には、このヘテロ界面に電子が引きつけられ、チャネル電子層以外にも電子層が形成される。このような非チャネル電子の存在は、HFETの低周波動作に影響を与えないものの、HFETの高周波特性を劣化させる。電子が走行するチャネル層直下の障壁として $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層($0 < X < 1$)が設けられている場合は、上述のような状況が起こり得る。そこで、HFETを高周波デバイスとして用いる場合には、非チャネル電子を消滅させることにより、高周波特性を向上させることができる。

【0017】図5は、電子が走行するチャネル層の直下に $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層($0 < X < 1$)が設けられたHFETを示す。同図に示すように、SiC基板101上に $\text{Al}_{x_0}\text{Ga}_{1-x_0}\text{N}$ バッファ層102が形成され、その上に中間層としてGa_{0.5}N層105が形成され、その上に $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 障壁層106が形成され、その上にGa_{0.5}Nチャネル層103が形成され、その上に $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$ 障壁層104が形成され、その上にソース電極110、ゲート電極111およびドレイン電極112が形成されている。なお、 $0 < X_0 \leq 1$, $0 < X_1 < X_2 < 1$, X_1 :一定である。

【0018】この構造は特願平10-56529号に開示されているものであり、電子が走行するGa_{0.5}Nチャネル層の直下に $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層($0 < X < 1$)を設けたダブルヘテロ構造を用いることにより、チャネル内の2次元電子ガスの分布幅が縮小されてアスペクト比が向上し、相互コンダクタンス(gm)を増大させることができる。

【0019】図6は、図5の層構造におけるチャネル・ポテンシャル構造を2次元電子の分布とともに示したものであり、チャネル電子以外に副次的な2次元電子層が形成されている。この副次的な電子層の存在は、HFET

Tの低周波動作に影響しないが、高周波特性の劣化原因となっている。そこで、以下に示す工夫により上述の副次的な電子層の発生を防ぐ。

【0020】図7は、図5の構造に本発明を適用した層構造である。同図に示すように、SiC基板1上に $\text{Al}_{x_0}\text{Ga}_{1-x_0}\text{N}$ バッファ層2が形成され、その上に中間層としてGa_{0.5}N層5が形成され、その上に $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 障壁層6が形成され、その上にGa_{0.5}Nチャネル層3が形成され、その上に $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$ 障壁層4が形成され、その上にソース電極10、ゲート電極11およびドレイン電極12が形成されている。なお、 $0 < X_0 \leq 1$, $0 < X_1 < X_2 < 1$, X_1 :傾斜, $0 < X_A < 1$, X_B はほぼ0($X_B < 0.05$)である。

【0021】本構造においては、電子が走行するGa_{0.5}Nチャネル層の直下の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層が $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層直下のGa_{0.5}N層とAl組成不連続を起こさないように、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層のAl組成Xに深さ方向に減少する傾斜を施し、Ga_{0.5}N層とX=0で接続されている。傾斜の付け方は、例えば図8に示すようなものが考えられる。

【0022】図8(a)~(f)は、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層のAl組成Xに施す深さ方向に減少する傾斜を示す。これらの図に示すように、Al組成X1の分布のさせ方には種々のバリエーションがある。少なくとも電子が走行するGa_{0.5}Nチャネル層の直下の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層が $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層直下のGa_{0.5}N層とAl組成不連続を起こさないように、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層のAl組成Xに深さ方向に減少する傾斜を施してやればよい。ただし、Al組成X1の分布が不連続な箇所においては、そのギャップΔXがΔX≤0.05となるようにする必要がある。なお、このような傾斜は $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層を気相成長させる際に、Alを含むソースガスの供給を調整することによって容易に実施される。

【0023】図9は、図7において図8のAl組成変化を用いた場合のチャネル・ポテンシャル構造を2次元電子の分布とともに示す。チャネル電子の存在するヘテロ界面以外にはポテンシャル・プロファイルの不連続とそれに伴う分極電荷の発生および電子の発生が消滅する結果、チャネル電子のみが存在し、図に示すような副次的な2次元電子層の形成が解消されている様子が示されている。このように本発明によってHFETの高周波特性を向上させることができる。なお、Ga_{0.5}Nチャネル層を $\text{In}_y\text{Ga}_{1-y}\text{N}$ チャネル層($0 < Y \leq 1$)に置き換え、また $\text{Al}_z\text{Ga}_{1-z}\text{N}$ チャネル層($0 < Z \leq 1$, $Z < X_1$, $Z < X_2$)と置き換えても上記同様の効果が得られる。

【0024】以上においては、基板材料としてSiCを用いたが、本発明はこれに限られるものではない。例えばサファイア基板またはGa_{0.5}N基板を用いてもよい。その場合、 $\text{Al}_{x_0}\text{Ga}_{1-x_0}\text{N}$ バッファ層2におけるAl組

成 X_0 を $0 \leq X_0 \leq 1$ にする必要がある。

【0025】

【発明の効果】以上説明したとおり本発明は、窒化物半導体を用いたFETまたはHFETの高温動作における信頼性の向上、耐熱性の向上、耐圧の増加を実現することができる。また、耐振動特性および耐放射線特性の向上も実現できる。さらに、チャネル層の直下に設けられた $Al_xGa_{1-x}N$ 層($0 < X < 1$)に副次的電子層が発生することを防止することができ、HFETの高周波特性を向上できる。

【図面の簡単な説明】

【図1】 本発明の一つの実施の形態(FET)を示す断面図である。

【図2】 本発明のその他の形態(HFET)を示す断面図である。

【図3】 図1の構成にGaN層付加した様子を示す断面図である。

【図4】 図2の構成にGaN層付加した様子を示す断面図である。

【図5】 特願平に開示されている断面図である。

【図6】 図5におけるチャネル・ポテンシャル構造を示す説明図である。

【図7】 本発明のその他の形態(HFET)を示す断面図である。

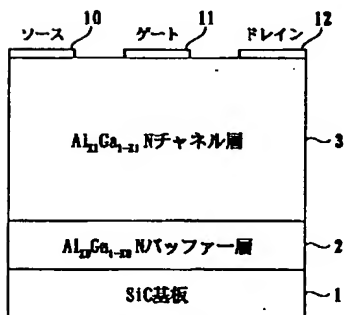
【図8】 図7におけるAl組成の傾斜例を示す説明図である。

10 【図9】 図7におけるチャネル・ポテンシャル構造を示す説明図である。

【符号の説明】

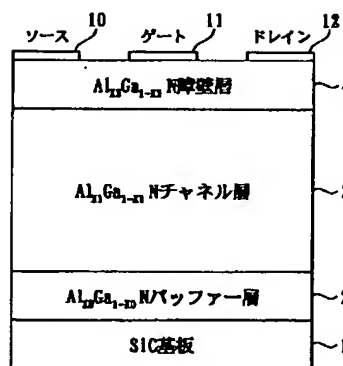
1…SiC基板、2… $Al_{x_0}Ga_{1-x_0}N$ バッファ層、3… $Al_{x_1}Ga_{1-x_1}N$ チャネル層、4… $Al_{x_2}Ga_{1-x_2}N$ 障壁層、5…GaN層、10…ソース電極、11…ゲート電極、12…ドレイン電極。

【図1】



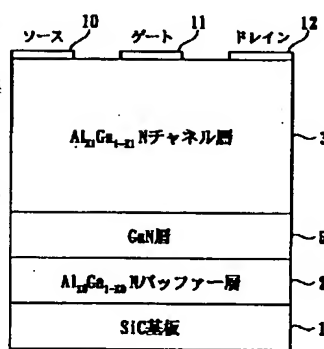
$$0 < X_0 \leq 1, 0 < X_1 < 1$$

【図2】



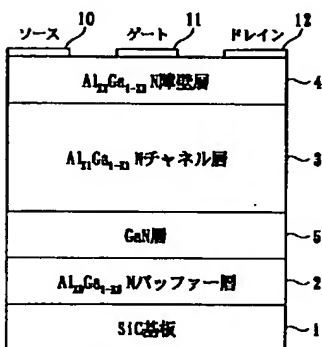
$$0 < X_0 \leq 1, 0 < X_1 < X_2 < 1$$

【図3】



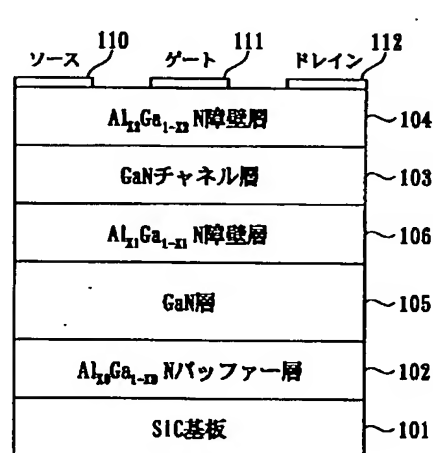
$$0 < X_0 \leq 1, 0 < X_1 < 1$$

【図4】



$$0 < X_0 \leq 1, 0 < X_1 < X_2 < 1$$

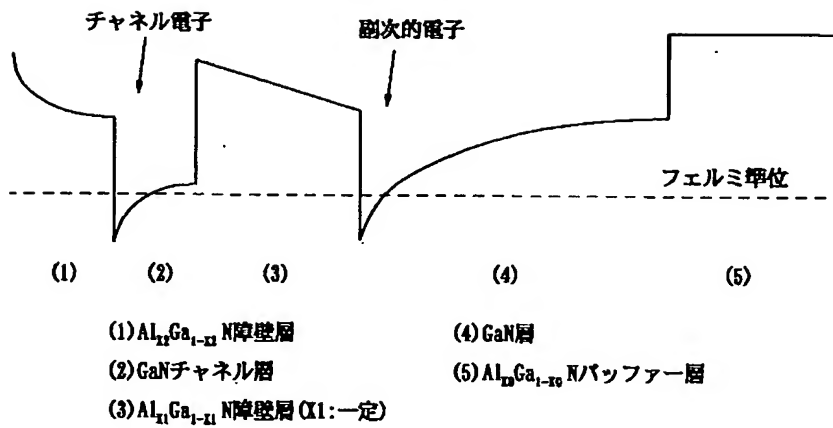
【図5】



$$0 < X_0 \leq 1, 0 < X_1 < 1$$

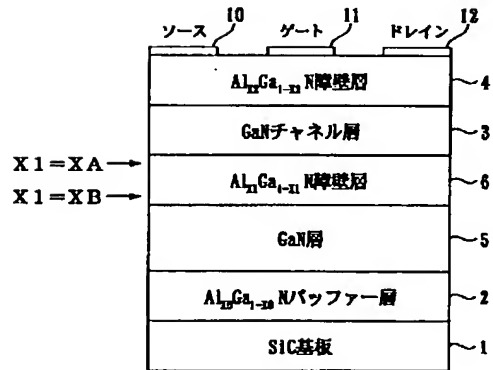
X_1 : 一定

【図6】



$$0 < x_0 \leq 1, 0 < x_1 < 1, 0 < x_2 < 1$$

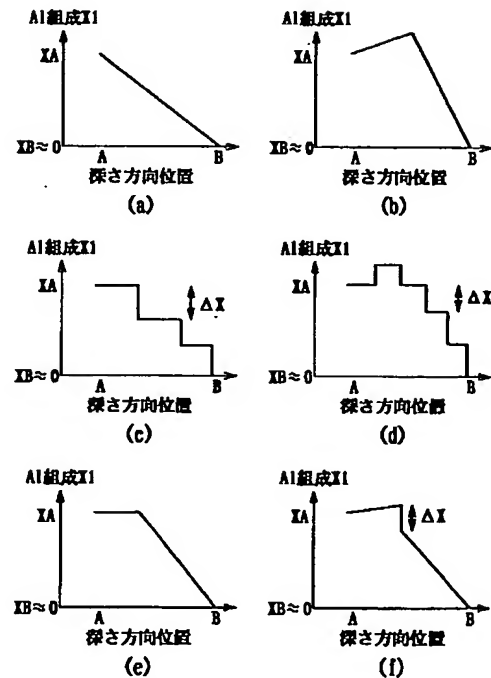
【図7】



$$0 < x_0 \leq 1, 0 < x_1 < x_2 < 1$$

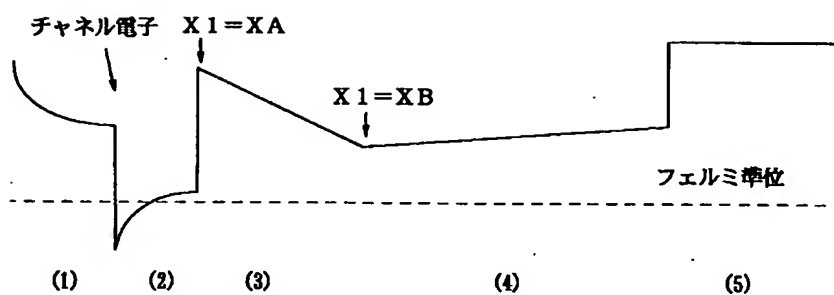
x_1 : 傾斜, $0 < x_A < 1, x_B \approx 0$ ($x_B < 0.05$)

【図8】



$$x_B \approx 0 \text{ (} x_B < 0.05 \text{)}, \Delta X \leq 0.05$$

【図9】

(1) $Al_xGa_{1-x}N$ 障壁層

(4) GaN 層

(2) GaN チャネル層

(5) $Al_xGa_{1-x}N$ バッファ層(3) $Al_xGa_{1-x}N$ 障壁層 ($X1$: 傾斜, $0 < XA < 1$, $XB \approx 0$ ($XB < 0.05$))

$$0 < X0 \leq 1, 0 < X1 < 1, 0 < X2 < 1$$